

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

**TRANSMITTAL  
FORM**

(to be used for all correspondence after initial filing)

Total Number of Pages in This Submission

3

Application Number

10/605,646

Filing Date

10/05/2003

First Named Inventor

Li-Chun Tu

Art Unit

Examiner Name

Attorney Docket Number

MTKP0046USA

**ENCLOSURES (Check all that apply)**

- |  |   |   |
|--|---|---|
| <input checked="" type="checkbox"/> Fee Transmittal Form                     | <input type="checkbox"/> Drawing(s)                                       | <input type="checkbox"/> After Allowance communication to Technology Center (TC)        |
| <input type="checkbox"/> Fee Attached  | <input type="checkbox"/> Licensing-related Papers                         | <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences     |
| <input type="checkbox"/> Amendment/Reply                                     | <input type="checkbox"/> Petition   | <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) |
| <input type="checkbox"/> After Final   | <input type="checkbox"/> Petition to Convert to a Provisional Application | <input type="checkbox"/> Proprietary Information  |
| <input type="checkbox"/> Affidavits/declaration(s)                           | <input type="checkbox"/> Power of Attorney, Revocation                    | <input type="checkbox"/> Status Letter  |
| <input type="checkbox"/> Extension of Time Request                           | <input type="checkbox"/> Change of Correspondence Address                 | <input type="checkbox"/> Other Enclosure(s) (please identify below):                    |
| <input type="checkbox"/> Express Abandonment Request                         | <input type="checkbox"/> Terminal Disclaimer                              |   |
| <input type="checkbox"/> Information Disclosure Statement                    | <input type="checkbox"/> Request for Refund                               |   |
| <input checked="" type="checkbox"/> Certified Copy of Priority Document(s)   | <input type="checkbox"/> CD, Number of CD(s) _____                        |   |
| <input type="checkbox"/> Response to Missing Parts/Incomplete Application    | Remarks   |   |
| <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53 |   |   |

**SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT**Firm or Individual name  
Winston Hsu, Reg. No.: 41,526

Signature

Date

**CERTIFICATE OF TRANSMISSION/MAILING**

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

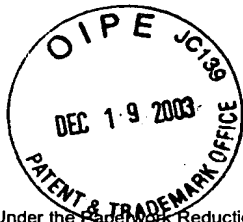
Typed or printed name

Signature

Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (10-03)  
Approved for use through 07/31/2006. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

## Compleat if Known

Application Number	10/605,646
Filing Date	10/15/2003
First Named Inventor	Li-Chun Tu
Examiner Name	
Art Unit	
Attorney Docket No.	MTKP0046USA

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801  
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$ ) 0.00

### 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

	Extra Claims	Fee from below	Fee Paid
Total Claims	-20** =	X	=
Independent Claims	-3** =	X	=
Multiple Dependent			=

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

## SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>	Date	12/15/2003		

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)  
Approved for use through 10/31/2002. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

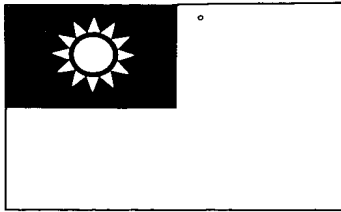
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

## DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092104327	Taiwan R.O.C	02/27/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請 日：西元 2003 年 02 月 27 日  
Application Date

申請 案 號：092104327  
Application No.

申請 人：聯發科技股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 4 月 10 日  
Issue Date

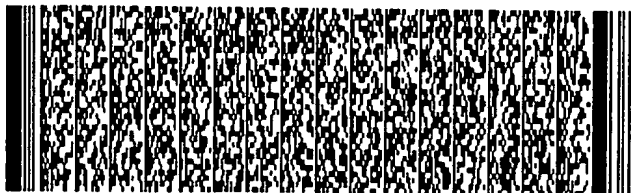
發文字號 09220359410  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	增加處理器中記憶體之方法
	英 文	METHOD FOR INCREASING MEMORY IN A PROCESSOR
二 發明人 (共4人)	姓 名 (中文)	1. 杜立群
	姓 名 (英文)	1. Tu, Li-Chun
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北市南港區福德街三0九巷四十號一樓
	住居所 (英 文)	1. 1F, No. 40, Lane 309, Fu-Te St. Na-Kang District, Taipei City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯發科技股份有限公司
	名稱或 姓 名 (英文)	1. MediaTek Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市新竹科學工業園區創新一路13號1F (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 1F, No. 13, Innovation Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 蔡明介
	代表人 (英文)	1. Tsai, Ming-Kai



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	3. 曾寶慶 4. 郭弘政
	姓名 (英文)	3. Tseng, Pao-Ching 4. Kuo, Hung-Cheng
	國籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中文)	3. 台北市文山區景隆街一〇五號二樓 4. 新竹市南大路五五〇巷五十號三樓
	住居所 (英文)	3. 2F, No. 105, Ching-Lung St., Wen-Shan District, Taipei City, Taiwan, R.O.C. 4. 3F, No. 50, Lane 550, Nan-Ta Rd., Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：增加處理器中記憶體之方法)

一種增加處理器上之記憶體之方法，使得該處理器能存取大於其指令位元數所能表達之記憶體大小。該處理器上設有一中央處理單元及一固定記憶體。該方法包含於該處理器上提供一擴充記憶體，使用一位址延伸器以增加位元的方式延伸資料位址以及暫存器位址，以及使用一堆疊指標產生器以增加位元的方式延伸堆疊位址，於堆疊位址大於該固定記憶體的範圍時對增加的位元產生進位，並將超出該固定記憶體之範圍的堆疊資料存取於該擴充記憶體。

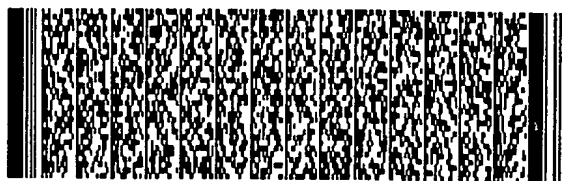
伍、(一)、本案代表圖為：第 3 圖

(二)、本案代表圖之元件代表符號簡單說明：

22	內部資料記憶體	24	固定記憶體
26	擴充記憶體	28	位址延伸器
30	堆疊指標產生器	14	記憶體位址產生器

六、英文發明摘要 (發明名稱：METHOD FOR INCREASING MEMORY IN A PROCESSOR)

A method for increasing memory in a processor so that the processor is capable of accessing memory whose memory addresses cannot be completely indicated by instructions of the processor. The processor has a central processing unit (CPU) and a fixed memory. The method includes providing an extended memory in the processor, using an address extender to add bits to data addresses and



四、中文發明摘要 (發明名稱：增加處理器中記憶體之方法)

六、英文發明摘要 (發明名稱：METHOD FOR INCREASING MEMORY IN A PROCESSOR)

register addresses, and using a stack pointer generator to add bits to stack addresses. The value stored in the added bits corresponding to the extended memory is different from the value stored in the added bits corresponding to the fixed memory. When the fixed memory has no room to store further stack data, stack data will be stacked into the extended memory.





一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

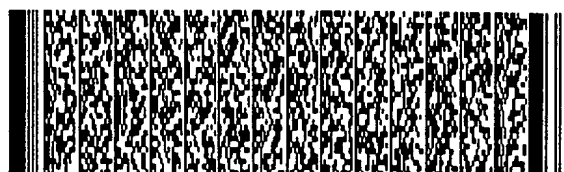
### 發明所屬之技術領域

本發明提供一種增加處理器中記憶體之方法，尤指一種增加處理器中內部資料記憶體的堆疊記憶體之方法。

### 先前技術

MCS(Micro Computer System)是 Intel公司對微處理器的總稱，而其所開發的 MCS-31/32及 51/52系列的處理器更是普遍地應用在工業界中。一般而言，微處理器只含有少量的記憶體以及輸入輸出點，以 MCS-51系列的單晶片為例，它有 4K位元組的程式記憶體、128位元組的資料記憶體以及 32條輸入輸出點，MCS-52系列的處理器則是將程式記憶體增加為 8K位元組，以及將資料記憶體增加為 256位元組，而 MCS-31/32及 51/52系列的處理器同樣使用一個 8位元的中央處理單元。程式記憶體用來存放使用者所撰寫的程式，屬於唯讀記憶體 (ROM)，資料記憶體則是隨機存取記憶體 (RAM)，可供中央處理單元運作時讀取或寫入資料，通常是用來當程式執行時暫時存放資料的暫存器。

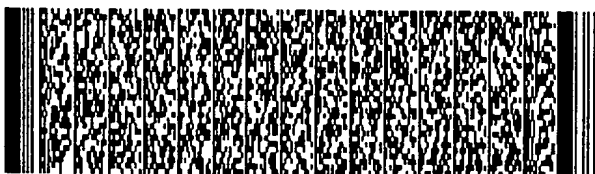
請參考圖一，圖一為習知 MCS-51系列的處理器其內部資料記憶體 12之示意圖。內部資料記憶體 12為堆疊記憶體、資料記憶體及暫存器記憶體所共用，堆疊位址、資料位址及暫存器位址都是 8位元的位址，處理器的中央處理單元



## 五、發明說明 (2)

所執行的也是 8 位元的指令集，在存取內部資料記憶體 12 時，8 位元的指令及 8 位元的位址輸入一記憶體位址產生器 14 後，輸出記憶體位址來存取內部資料記憶體 12。MCS-51 系列的處理器其內部資料記憶體的容量是 128 位元組，MCS-52 系列的處理器其內部資料記憶體的容量則是 256 位元組，而 MCS-51/52 系列的處理器其外部資料記憶體同樣最大可擴充至 64K 位元組。一般來說，使用者可採用直接定址法或間接定址法來存取內部資料記憶體 12，直接定址法是將資料記憶體其中一個位址的內容取出作運算，並放入暫存器中，而間接定址法是使用暫存器作為指標，再取得該指標內的值。內部資料記憶體 12 可劃分下列幾個部分，第一，位址 00H-1FH 為暫存器庫，此位址共 32 位元組被分成 4 個工作暫存器庫 (Register Bank)，每一個暫存器庫內含有 8 個暫存器，暫存器庫中的資料可採直接或間接定址法來存取。第二，位址 20H-2FH 為位元定址區，位址 20H-2FH 共有 16 位元組，也就是 128 個位元，使用者可利用位元運算的指令，直接對位元定址區中的位元做運算。第三，位址 30H-7FH 為一般用途區，此區域可供使用者規劃，通常堆疊 (stack) 即設在此區域，只要將堆疊指標 (stack pointer) 指到此區即可。第四，位址 80H-FFH 亦為一般用途區，此區域只存在於 MCS-52 系列的處理器中，採用間接定址法來存取資料。

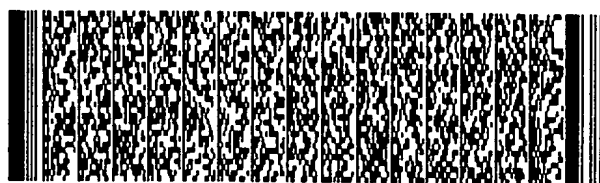
請參考圖二，圖二為習知內部資料記憶體 12 使用兩個



### 五、發明說明 (3)

堆疊之示意圖。內部資料記憶體 12 的使用配置如圖所示，一部分作為暫存器及資料的儲存，一部分提供堆疊使用。如上所述，通常堆疊會設在內部資料記憶體 12 的一般用途區之中，將堆疊指標指向一般用途區的一個位置作為堆疊的起始位置，這個堆疊通常是用來存放呼叫副程式的程式計數，或者是使用者自定的資料。然而很多程式在呼叫副程式時，可能會需要傳參數，這時必須使用另一個堆疊來儲存參數，一般都是使用參數指標 (parameter pointer) 由內部資料記憶體 12 的最高位址開始向下數，由於兩個堆疊必須共用有限的記憶體空間，所以使用者在設計程式時需注意兩個堆疊的使用數量，否則很有可能造成資料的錯誤。

由上述可知，習知的 MCS-51/52 系列的處理器僅提供有限的內部資料記憶體 12，而且堆疊記憶體、資料記憶體及暫存器記憶體必須共用這個內部資料記憶體。然而由於系統的發展日益複雜，所需的堆疊記憶體與資料記憶體都大量的增加，雖然資料記憶體的 12 可以利用外部資料記憶體來作擴充，但是堆疊記憶體的大小卻還受限於處理器所提供的內部資料記憶體。由於堆疊記憶體的大小受到限制，如此一來，複雜的程式常會有堆疊記憶體不夠使用的情形發生，因為程式在呼叫副程式時，必須使用堆疊來記錄，但是受限於堆疊記憶體的大小，程式中便只能呼叫一定數量的副程式，再者，若是副程式中需要傳參數，更是



#### 五、發明說明 (4)

需要使用大量的堆疊。然由於 MCS-51/52 之指令即為八位元長度，在其指令集之限制下，僅使用一個位元組（八位元）來表示其內部記憶體位置，故其內部記憶體大小始終受限於 256 位元組（二的八次方）。在堆疊記憶體的大小無法擴充的情況下，程式設計者在撰寫程式必須注意使用的堆疊數量，使得程式的開發更加困難。

#### 發明內容

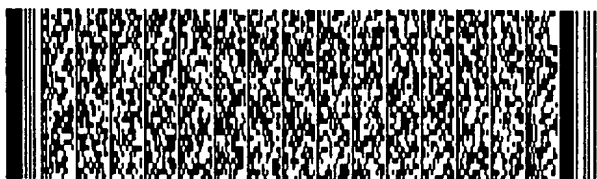
因此本發明之主要目的係提供一種增加處理器上之記憶體之方法，以解決上述問題。

本發明之申請專利範圍提供一種增加處理器上之記憶體之方法，該處理器上設有一中央處理單元及一固定記憶體，該方法包含 (a) 於該處理器上提供一擴充記憶體；(b) 使用一位址延伸器以增加位元的方式延伸資料位址以及暫存器位址；以及 (c) 使用一堆疊指標產生器以增加位元的方式延伸堆疊位址，使該處理器可存取大於其指令集位元限制之記憶體，於堆疊位址大於該固定記憶體的範圍時對增加的位元產生進位，並將超出該固定記憶體之範圍的堆疊資料存取於該擴充記憶體。而於步驟 (c) 中，另包含提供一高位堆疊位址，於堆疊位址大於該固定記憶體的範圍時，使用該高位堆疊位址來儲存該增加位元產生的進位。



實施方式

請參考圖三，圖三為本發明處理器的內部資料記憶體 22 之示意圖。內部資料記憶體 22 包含一固定記憶體 24 以及一擴充記憶體 26，在一塊較大的記憶體中，可分配一個區域作為固定記憶體 24 (通常為 256 個位元組)，固定記憶體 24 之外的其它區域則作為擴充記憶體 26。由於記憶體的容量變大，需要較多的位元來作定址，而處理器的中央處理單元僅能處理 8 位元的指令集，在不改變指令集的情況下，中央處理單元所傳出的原始位址先經由一位址延伸器 28 在原始位址之前增加適當的位元來延伸位址資料，延伸後的位址再由記憶體位址產生器 14 轉換為記憶體位址，如此，中央處理單元便可以存取較大的資料記憶體。然而，受限於中央處理單元 8 位元的指令集，最多只能表示到 FFH，所以最多只能存取 256 位元組的記憶體大小，換句話說，中央處理單元還是只能在固定記憶體 24 的範圍內存取資料，而固定記憶體 24 由堆疊、資料以及暫存器共同使用，但是由於堆疊特殊的處理方式，可以使用擴充記憶體 26。堆疊處理方式的特性就是先進後出，也就是存入堆疊中的資料必須等到下一筆存入堆疊中的資料被取出後才會被取出使用，而最後一筆存入堆疊中的資料則會最先被取出的資料，在此情況下，只要提供一塊夠大的記憶體空間，則堆疊內就可以不斷的存入資料。堆疊運作時是使用一堆疊指標來指向一個記憶體位址作為堆疊的起始位置，習知的堆



#### 五、發明說明 (6)

疊指標受限於 8 位元的大小，最多只能表示到 FFH，若此時再存入一筆資料至堆疊中，則堆疊指標變成 0，則資料便會覆蓋到堆疊起始位址的資料，所以本發明使用一堆疊指標產生器 30 來延伸堆疊指標的位元，使堆疊指標儲存的位址能夠經由記憶體位址產生器 14 轉換為可以存取較大記憶體的位址，最重要的是，當堆疊指標已經指到 FFH 而又有下一筆資料需存入堆疊時，堆疊指標產生器 30 會產生進位儲存於一高位堆疊位址，再將高位堆疊位址合併於堆疊指標之中，經由記憶體位址產生器 14 轉換為記憶體的位址後，堆疊便可以使用擴充記憶體 26 來儲存下一筆資料。由於一般存取堆疊資料，並不需要任意指定位址存取，而是由推入，推出 (PUSH, POP) 指令循序存取，故擴充之堆疊位址可以不表現在堆疊指位器 (STACK POINTER)，也因此，不需修改現有之 MCS 指令集。

請參考圖四，圖四為本發明內部資料記憶體 22 配置之示意圖。內部資料記憶體 22 在增加後可分成兩個部分，第一個部分是原始大小的固定記憶體 24，第二個部分是增加後的擴充記憶體 26。資料記憶體及暫存器記憶體只使用固定記憶體 24 的空間，而堆疊記憶體透過堆疊指標產生器 30 及高位堆疊位址在固定記憶體 24 空間不足時可以使用擴充記憶體 26 的空間來儲存資料。所以在配置記憶體空間時，由於資料記憶體及暫存器記憶體只能共用固定記憶體 24 的空間，若是需要較大的資料記憶體及暫存器記憶體空間，

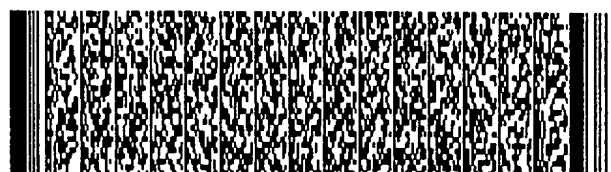


#### 五、發明說明 (7)

可將堆疊指標儘量設在高位，最高可設在 FFH 的位址，而不超過 FFH 的原因是為了不改變處理器的指令集。如此，資料記憶體及暫存器記憶體就幾乎可以使用全部的固定記憶體 24 空間，而堆疊記憶體則因為堆疊指標產生器 30 及高位堆疊位址可以使用擴充記憶體 26 來儲存資料。

請參考圖五，圖五為本發明內部資料記憶體 22 使用兩個堆疊之示意圖。使用者在撰寫程式時常會使用到兩個堆疊，堆疊指標所指的這個堆疊通常是用來存放呼叫副程式的程式計數，或者是使用者自定的資料，而參數指標所指的這個堆疊則是用來存放程式在呼叫副程式時所需要傳的參數。若使用者需要兩個較大容量的堆疊，但是又不希望改變處理器的指令集，可將堆疊指標設定在一個不超過 FFH 的位址（這是為了不影響原有之指令與架構），而將參數指標設在堆疊指標相鄰低位元的位址。堆疊指標由設定的位址向上遞增，因為有堆疊指標產生器 30 及高位堆疊位址，這個堆疊容量的限制為擴充記憶體 26 的大小，參數指標由設定的位址向下遞減，直到資料記憶體及暫存器記憶體使用的區域為止。

由上述可知，本發明增加處理器的內部資料記憶體 22，使得內部資料記憶體 22 的可用空間除了原有的固定記憶體 24 之外，多出了一塊擴充記憶體 26，加上使用位址延伸器 28 在原始位址之前增加適當的位元數，經過記憶體位

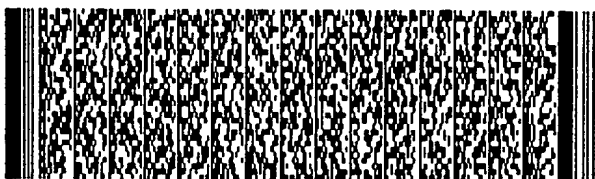




#### 五、發明說明 (8)

址產生器 14 轉換後，處理器的中央處理單元便可存取較大的資料記憶體，但受限於中央處理單元僅能處理 8 位元的指令集，所以資料記憶體及暫存器記憶體仍然只能使用固定記憶體 24 的空間，而由於堆疊運作的特性，在存入堆疊資料超出固定記憶體 24 範圍時，使用堆疊指標產生器 30 對增加的位元產生進位，並將進位資料儲存於高位堆疊位址，再合併於堆疊指標之中，如此堆疊就可以使用擴充記憶體 26 來儲存資料。而上述實施例中亦提供較佳的記憶體配置方式，在不改變處理器的指令集的情況下，最高可將堆疊指標設在 FFH 的位址，如此資料記憶體及暫存器記憶體可使用幾乎全部的固定記憶體 24 空間，而堆疊記憶體的空間則視擴充記憶體 26 的大小而定。若使用者需用到第二個堆疊來儲存程式所傳的參數，可將參數指標設在堆疊指標相鄰低位元的位址，參數指標會由設定的位址向下遞減，使用固定記憶體 24 中剩餘的空間。

相較於習知技術，本發明提供一種增加處理器的內部資料記憶體的方法，習知的處理器僅提供有限的內部資料記憶體，而且堆疊記憶體、資料記憶體及暫存器記憶體必須共用這個內部資料記憶體。雖然資料記憶體可以利用外部資料記憶體來作擴充，但是堆疊記憶體的大小卻還是受限於處理器所提供的內部資料記憶體，而有堆疊記憶體不夠使用的情形發生，更何況很多複雜的程式常需要使用到兩個堆疊記憶體。本發明增加處理器的內部記憶體，並使



#### 五、發明說明 (9)

用堆疊指標產生器及高位堆疊位址來處理增加的堆疊資料，使得堆疊可以存取擴充記憶體，以解決堆疊記憶體不夠使用的情形。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利的涵蓋範圍。



## 圖式簡單說明

### 圖式之簡單說明：

圖一為習知 MCS-51系列的處理器其內部資料記憶體之示意圖。

圖二為習知內部資料記憶體使用兩個堆疊之示意圖。

圖三為本發明處理器的內部資料記憶體之示意圖。

圖四為本發明內部資料記憶體配置之示意圖。

圖五為本發明內部資料記憶體使用兩個堆疊之示意圖。

### 圖式之符號說明：

12 內部資料記憶體  
22 內部資料記憶體  
26 擴充記憶體  
30 堆疊指標產生器

14 記憶體位址產生器  
24 固定記憶體  
28 位址延伸器



#### 六、申請專利範圍

1. 一種增加一處理器上之記憶體之方法，該處理器上設有一中央處理單元及一固定記憶體，該方法包含：

(a)於該處理器上提供一擴充記憶體；

(b)使用一位址延伸器以增加位元的方式延伸資料位址以及暫存器位址；以及

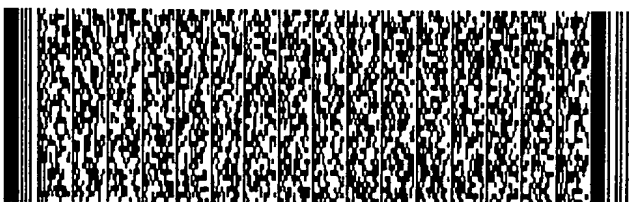
(c)使用一堆疊指標產生器以增加位元的方式延伸堆疊位址，使該處理器可存取大於其指令集位元限制之記憶體，於堆疊位址大於該固定記憶體的範圍時對增加的位元產生進位，並將超出該固定記憶體之範圍的堆疊資料存取於該擴充記憶體。

2. 如申請專利範圍第1項所述之方法，其於步驟(c)中，另包含提供一高位堆疊位址，於堆疊位址大於該固定記憶體的範圍時，使用該高位堆疊位址來儲存該增加位元產生的進位。

3. 如申請專利範圍第1項所述之方法，其中該處理器係為MCS系列的處理器。

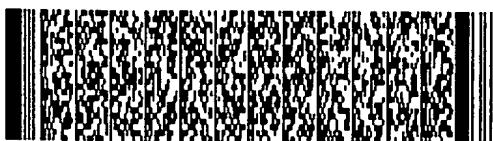
4. 如申請專利範圍第1項所述之方法，其中該中央處理單元係處理8位元之指令集。

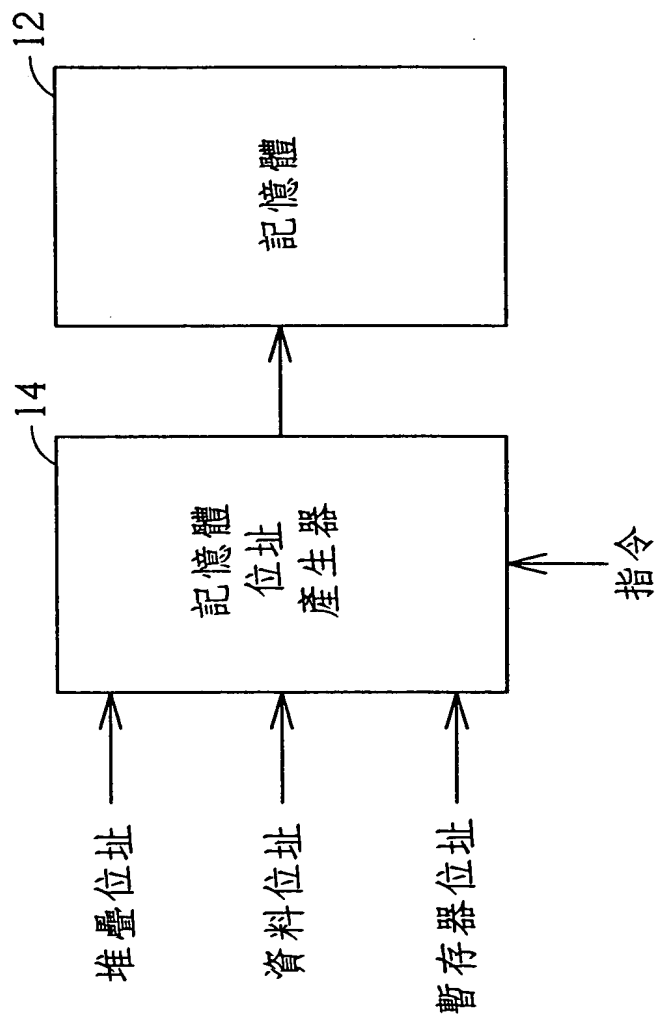
5. 如申請專利範圍第1項所述之方法，其中該固定記憶體以及該擴充記憶體係存在於同一塊記憶體之中。



六、申請專利範圍

6. 如申請專利範圍第5項所述之方法，其中該固定記憶體之大小為256位元組。
7. 如申請專利範圍第1項所述之方法，其中資料、暫存器以及堆疊共用該固定記憶體。
8. 如申請專利範圍第1項所述之方法，其中該擴充記憶體僅供堆疊使用。
9. 一種實施申請專利範圍第1項所述之方法之晶片。



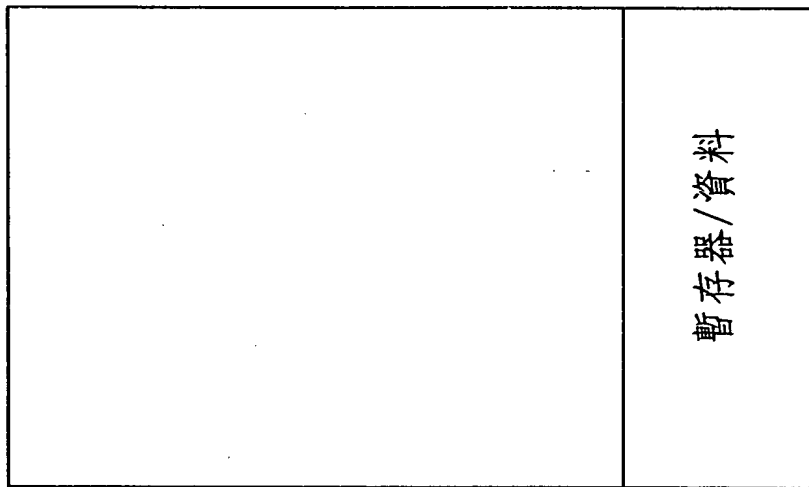


圖一

12

FFH

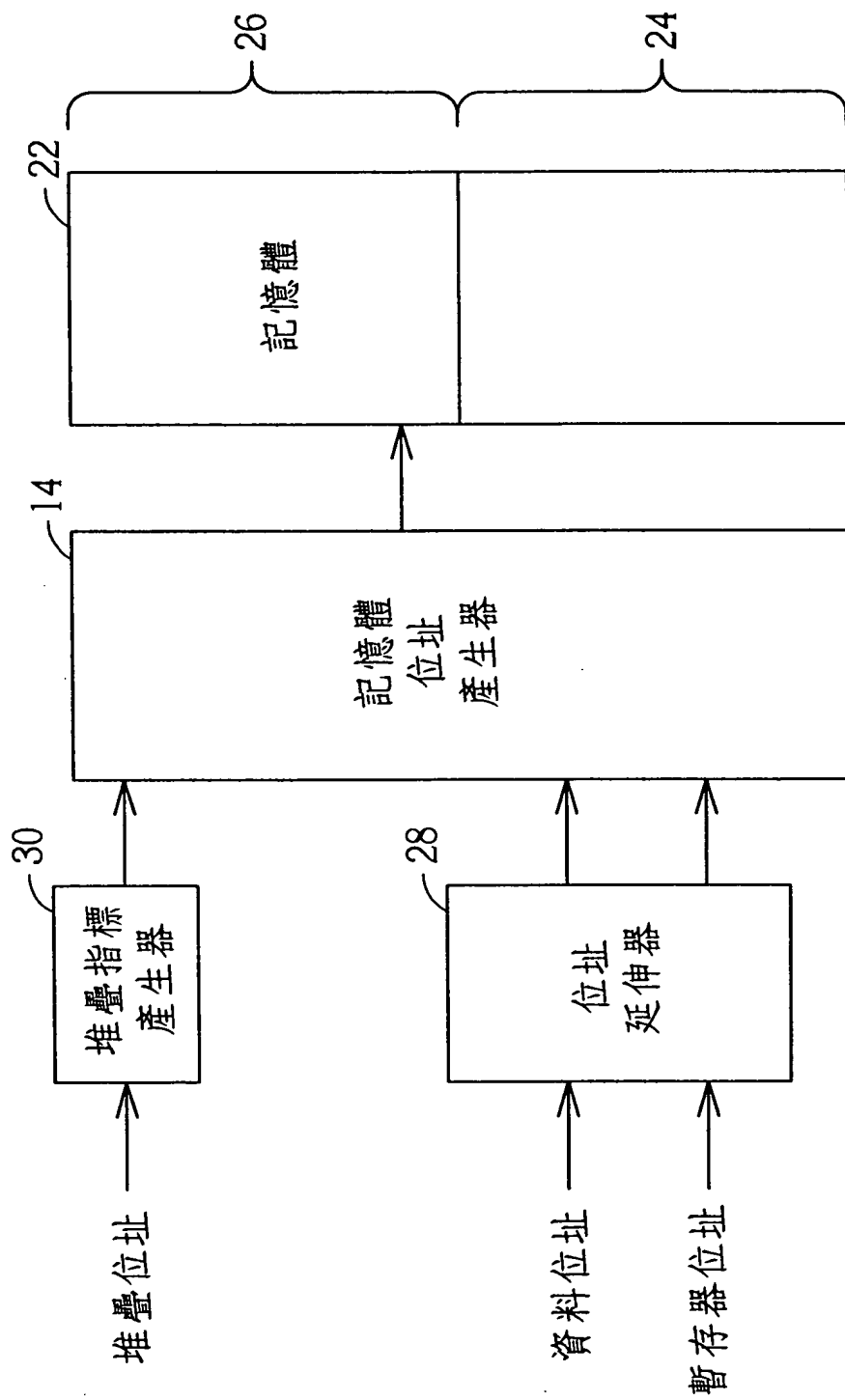
00H



參數指標

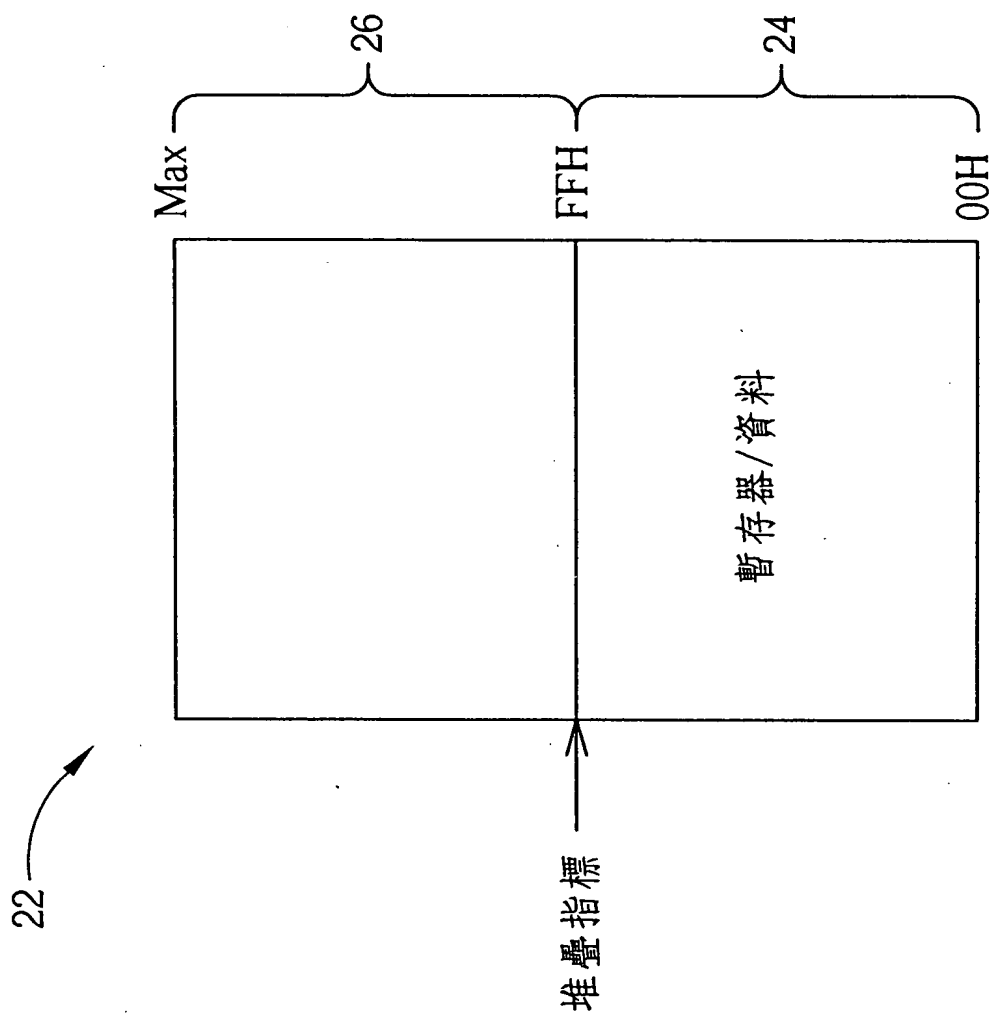
堆疊指標

圖二

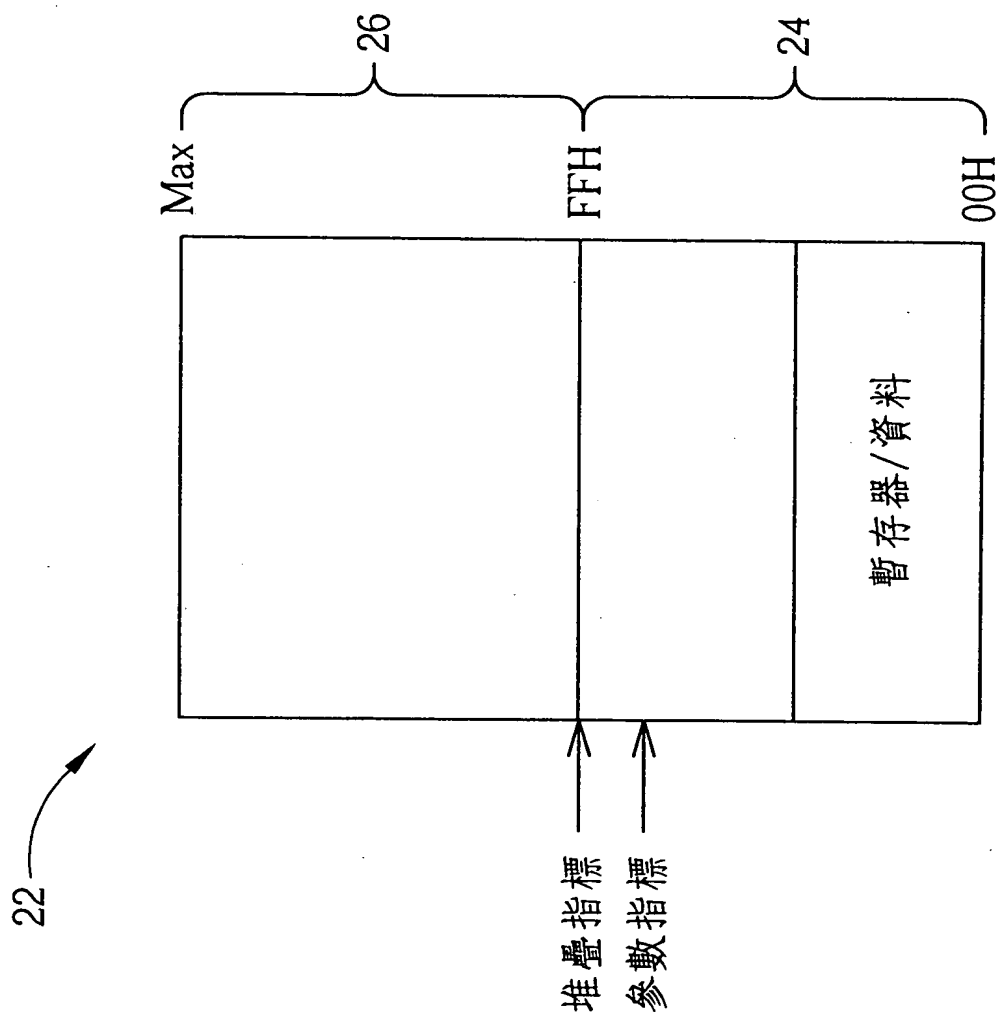


圖三



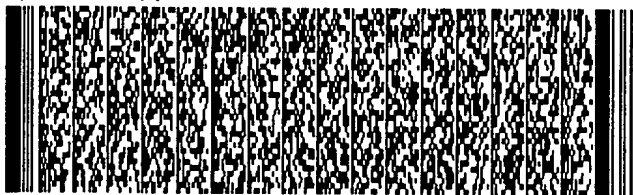


圖四

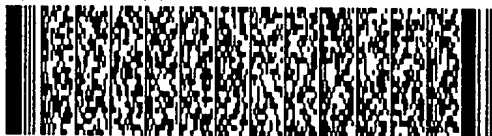


圖五

第 1/18 頁



第 2/18 頁



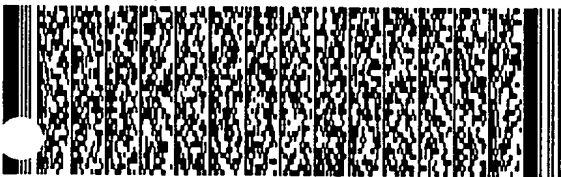
第 3/18 頁



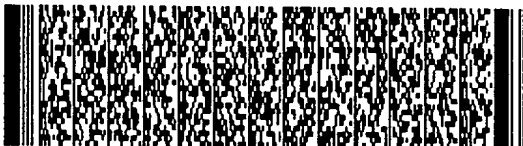
第 4/18 頁



第 4/18 頁



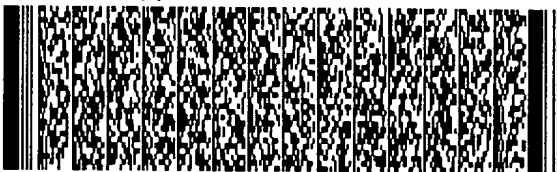
第 5/18 頁



第 6/18 頁



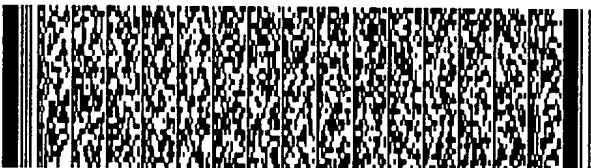
第 7/18 頁



第 7/18 頁



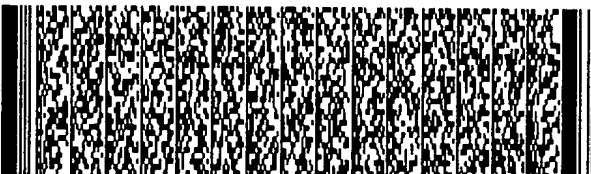
第 8/18 頁



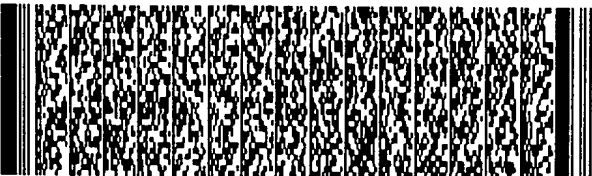
8/18 頁



第 9/18 頁



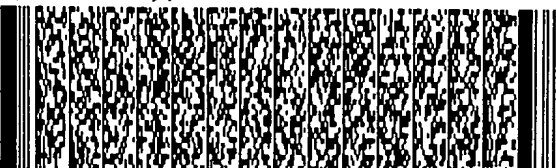
第 9/18 頁



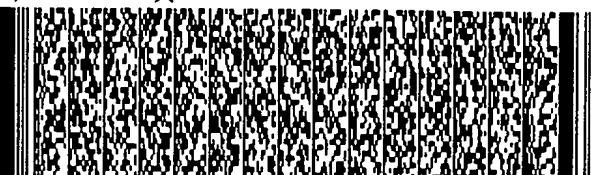
第 10/18 頁



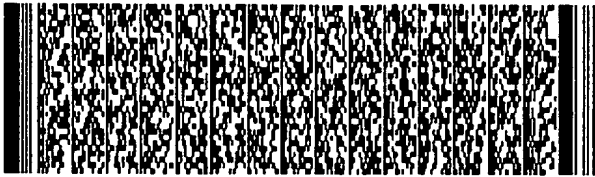
第 10/18 頁



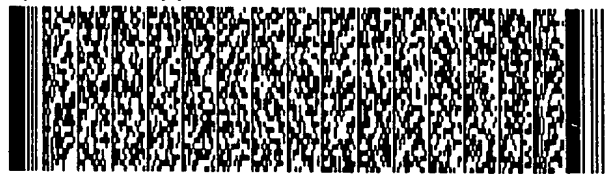
第 11/18 頁



第 11/18 頁



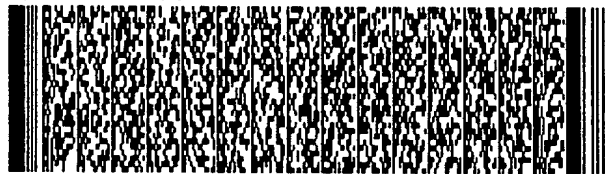
第 12/18 頁



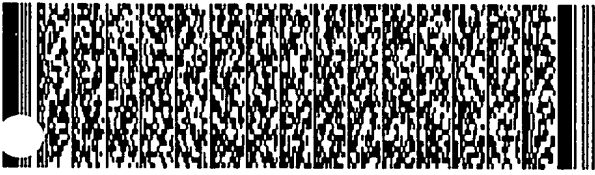
第 12/18 頁



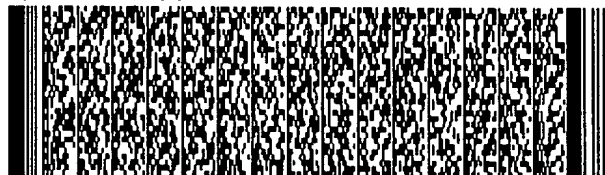
第 13/18 頁



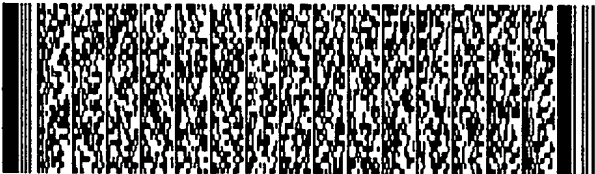
第 13/18 頁



第 14/18 頁



第 14/18 頁



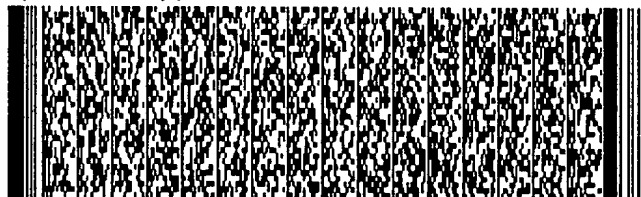
第 15/18 頁



第 16/18 頁



第 17/18 頁



18/18 頁

